



967 333870



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0013715
Application Number

출원년월일 : 2003년 03월 05일
Date of Application MAR 05, 2003

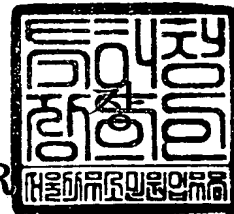
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 22 일

특 허 청

COMMISSIONER





1020030013715

출력 일자: 2003/10/23

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.03.05
【발명의 명칭】	반도체소자의 캐패시터 형성방법
【발명의 영문명칭】	Method for forming capacitor in semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	강재일
【성명의 영문표기】	KANG, Jae Il
【주민등록번호】	700627-1093713
【우편번호】	467-719
【주소】	경기도 이천시 증포동 대우2차아파트 204동 1504호
【국적】	KR
【발명자】	
【성명의 국문표기】	김상철
【성명의 영문표기】	KIM, Sang Cheol
【주민등록번호】	661218-1063312
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 현대6차아파트 106동 1604호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)



1020030013715

출력 일자: 2003/10/23

【수수료】

【기본출원료】	19	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	7	항	333,000	원
---------	---	---	---------	---

【합계】	362,000	원		
------	---------	---	--	--

【첨부서류】

1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 반도체소자의 캐패시터 형성방법에 관한 것으로, 하부구조를 갖는 반도체기판상에 게이트를 형성한 후 상기 게이트사이 반도체기판상에 플러그를 형성하는 단계; 상기 플러그를 포함한 결과물의 상부에 층간절연막을 형성한 후 상기 층간절연막내 상기 플러그 상면에 스토리지노드콘택을 형성하는 단계; 상기 스토리지노드콘택을 포함한 결과물의 상부에 제 1 절연막을 형성한 후 상기 제 1 절연막의 상부에 식각정지막을 형성하는 단계; 상기 식각정지막의 상부에 제 2 절연막을 형성하는 단계; 상기 제 2 절연막, 상기 식각정지막 및 상기 제 1 절연막을 일부 제거하여 상기 스토리지노드콘택의 상면을 노출시키는 스토리지노드형성용 콘택홀을 형성하는 단계; 상기 콘택홀내의 제 1 절연막 측면을 일부 제거하여 상기 콘택홀내의 하부에 리세스부분을 형성하는 단계; 상기 리세스부분을 포함한 상기 콘택홀내에 스토리지노드를 형성하는 단계; 상기 제 2 절연막을 제거한 후 상기 스토리지노드의 전면에 스토리지노드 산화막을 형성하는 단계; 및 상기 스토리지노드 산화막의 전면에 전극층을 형성하는 단계를 포함하여 구성된다.

【대표도】

도 2h



【명세서】

【발명의 명칭】

반도체소자의 캐패시터 형성방법{Method for forming capacitor in semiconductor device}

【도면의 간단한 설명】

도 1a 는 종래기술에 따른 반도체소자의 캐패시터 형성방법을 설명하기 위한 공정단면도

도 1b는 도 1a의 스토리지노드의 기울임 현상을 설명하기 위한 단면도.

도 2a 내지 도 2h는 본 발명의 일실시예에 따른 반도체소자의 캐패시터 형성방법을 도시한 공정별 단면도.

도 3은 본 발명의 다른 실시예에 따른 반도체소자의 캐패시터 형성방법을 도시한 공정 단면도.

(도면의 주요부분에 대한 부호설명)

100 : 비트라인 120 : 플러그

140 : 층간절연막 160 : 스토리지노드콘택

180 : BPSG층 180a : 리세스된 BPSG층

200 : 질화정지막 220 : PSG층

250 : 스토리지노드용콘택홀 260 : 스토리지노드

280 : 스토리지노드 산화막 320 : 질화정지막

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 반도체소자의 캐패시터 형성방법에 관한 것으로, 보다 상세하게는 스토리지노드의 바닥면적을 증가시키고 그 바닥면적에 스토리지노드 변형방지부분을 형성함으로써 스토리지노드의 기울임을 방지하는 캐패시터 형성방법에 관한 것이다.
- <13> 일반적으로, 캐패시터는 전하를 저장하고 반도체소자의 동작에 필요한 전하를 공급하는 부분으로서, 반도체소자가 고집적화되어짐에 따라 단위 셀의 크기는 작아지면서 소자의 동작에 필요한 캐패시턴스는 약간씩 증가하는 것이 일반적인 경향이다.
- <14> 이와 같이, 반도체소자의 고집적화가 이루어짐에 따라 캐패시터의 소형화 역시 요구되어지고 있으나 전하를 저장하는 데 한계에 부딪히게 되어 캐패시터를 셀의 크기에 비해 고집적화시키는데 어려움이 표출되었으며, 이러한 점을 감안하여 각 업체에서 캐패시터의 전하를 저장하기 위한 구조를 다양하게 변화하기에 이르렀으며, 캐패시터의 전하를 증가시키는 방법에는 유전상수가 큰 물질을 사용하는 방법, 유전물질의 두께를 낮추는 방법 및 캐패시터의 표면적을 늘리는 방법등이 있으며, 최근에는 캐패시터의 표면적을 증대시키는 방법이 주로 이용되고 있다.
- <15> 즉, 캐패시터의 전하저장전극의 구조를 보면, 크게 전하를 저장하는 전극은 좁은 평면적 위에 여러 층을 쌓아서 넓은 캐패시터의 면적을 얻고자 하는 적층구조와, 반도체기판에 일정



한 깊이의 홈을 형성한 후에 그 부위에 캐패시터를 형성하여 전하를 저장하도록 하는 홈 구조 등으로 크게 대별되어지고 있다.

- <16> 특히, 상기 적층구조는 핀 형상으로 형성된 핀(fin) 타입과, 실린더와 같이 원통형상으로 형성되는 실린더 타입 및 캐비티 타입에 변형을 가미한 HSG(Hemispherical Shaped Grains) 및 벨로즈(Bellows)등과 같은 변형 캐패시터구조등으로 구성되어 캐패시터의 충전용량을 증가시키기 위한 노력이 이루어지고 있다.
- <17> 반도체의 디램소자중에서 전하보존능력을 크게 하여 주는 방법으로 유전율이 큰 물질을 사용하던지 캐패시터의 표면적을 크게 하는 방법등이 있는데, 유전율이 큰 물질은 다양하지 못하므로 현재의 유전율을 가지는 물질에서 캐패시터를 크게 하여 주는 것이 전하보존능력을 좌우하는 것이다.
- <18> 도 1a 는 종래기술에 따른 반도체소자의 캐패시터 형성방법을 설명하기 위한 공정단면도이며, 도 1b는 도 1a의 스토리지노드의 기울임 현상을 도시한 공정단면도이다.
- <19> 먼저, 도 1a에 도시된 바와 같이, 소정의 하부구조를 갖는 반도체기판(미도시)상에 게이트도전층으로서 비트라인(5)과 하드마스크층(10)을 순차적으로 적층하여 마스크 식각으로 게이트를 형성한 후, 게이트의 양측에 스페이서막을 형성하도록 한다.
- <20> 그 다음, 상기 비트라인(5)사이 반도체기판상에 플러그용 폴리실리콘층을 매립하여 평탄화하여 플러그(15)를 형성한다.
- <21> 이어서, 상기 플러그(15)의 상부면에 층간절연막(20)을 형성하여 마스크식각으로 상기 층간절연막(20)내에 콘택홀을 형성한후, 상기 콘택홀내에 스토리지노드콘택용 폴리실리콘층(25)을 형성한다.

<22> 이어서, 상기 결과물상에 질화정지막(30)과 PSG층(Phosphorous Silicate Glass)(미도시)을 형성한 후, 상기 스토리지노드콘택용 폴리실리콘층(25)의 상면이 노출될때 까지 상기 PSG층과 질화정지막(30)을 식각하여 스토리지노드형성용 콘택홀(미도시)을 형성한다.

<23> 그 다음, 상기 스토리지노드형성용 콘택홀내에 스토리지노드용 폴리실리콘층(35)을 형성한 후, 상기 PSG층을 디핑-아웃함으로써 실린더타입의 스토리지노드(35)를 완성한다.

【발명이 이루고자 하는 기술적 과제】

<24> 그러나, 이러한 실린더 타입의 스토리지노드는 세정공정 수행시 세정물질의 응력에 의해 이웃한 스토리지노드로 기울게 되어 스토리지노드간 쇼트가 발생하는 문제가 있다.

<25> 따라서, 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 스토리지노드의 기울임현상을 방지함으로써 스토리지노드간 브릿지현상에 의한 쇼트성 결함을 방지하여 수율을 향상시키는 반도체소자의 캐패시터 형성방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<26> 상기 목적을 달성하기 위한 본 발명은, 하부구조를 갖는 반도체기판상에 게이트를 형성한 후 상기 게이트사이 반도체기판상에 플러그를 형성하는 단계; 상기 플러그를 포함한 결과물의 상부에 층간절연막을 형성한 후 상기 층간절연막내 상기 플러그 상면에 스토리지노드콘택을 형성하는 단계; 상기 스토리지노드콘택을 포함한 결과물의 상부에 제 1 절연막을 형성한 후 상기 제 1 절연막의 상부에 식각정지막을 형성하는 단계; 상기 식각정지막의 상부에 제 2 절연막을 형성하는 단계; 상기 제 2 절연막, 상기 식각정지막 및 상기 제 1 절연막을 일부 제거하여 상기 스토리지노드콘택의 상면을 노출시키는 스토리지노드형성용 콘택홀을 형성하는 단계; 상기 콘택홀내의 제 1 절연막 측면을 일부 제거하여 상기 콘택홀내의 하부에 리세스부분을 형

성하는 단계; 상기 리세스부분을 포함한 상기 콘택홀내에 스토리지노드를 형성하는 단계; 상기 제 2 절연막을 제거한 후 상기 스토리지노드의 전면에 스토리지노드 산화막을 형성하는 단계; 및 상기 스토리지노드 산화막의 전면에 전극층을 형성하는 단계를 포함하여 구성됨을 특징으로 한다.

<27> (실시예)

<28> 이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

<29> 도 2a 내지 도 2h는 본 발명의 일실시예에 따른 반도체소자의 캐패시터 형성방법을 도시한 공정별 단면도이며, 도 3은 본 발명의 다른 실시예에 따른 반도체소자의 캐패시터 형성방법을 도시한 공정 단면도이다.

<30> 먼저, 도 2a에 도시된 바와 같이, 소정의 하부구조를 갖는 반도체기판(미도시)상에 게이트도전층으로서 비트라인(100)과 하드마스크층(110)을 순차적으로 적층하여 마스크 식각으로 게이트를 형성한 후, 게이트의 양측에 스페이서막을 형성한다.

<31> 그 다음, 상기 비트라인(100)사이의 반도체기판상에 플러그용 폴리실리콘층을 형성한 후 이를 평탄화하여 플러그(120)를 형성한다.

<32> 이어서, 상기 플러그(120)를 포함한 결과물의 상부에 층간절연막(140)을 형성한 후 마스크 식각공정을 수행하여 상기 층간절연막(140)내 상기 플러그(120)상면에 콘택홀(미도시)을 형성한다.

<33> 그 다음, 상기 콘택홀을 포함한 결과물의 상부에 스토리지노드콘택용 폴리실리콘층(160)을 형성한 후 이를 평탄화한다.



- <34> 이어서, 도 2b에 도시된 바와 같이, 상기 스토리지노드콘택용 폴리실리콘층(160)을 포함한 결과물의 상부에 후속의 습식세정시 질화정지막 보다 빠른 식각속도를 갖는 BPSG층(180)을 500~1000 Å 두께로 형성한 후 플로우한다.
- <35> 그 다음, 상기 BPSG층(180)상부에 질화정지막(200)을 500~1000 Å 두께로 형성한다.
- <36> 이때, 상기 질화정지막(200)은 후속의 습식세정에 의한 디핑-아웃공정시 식각정지막으로 이용된다.
- <37> 이어서, 도 2c에 도시된 바와 같이, 상기 질화정지막(200)의 상부에 스토리지노드 높이 만큼의 두께, 즉 10000~20000 Å 정도의 두께로 PSG층(220)을 형성한다.
- <38> 그 다음, 상기 PSG층(220)의 상부에 하드마스크용 폴리실리콘층(240)을 2000~5000 Å의 두께로 형성한다.
- <39> 이어서, 도 2d에 도시된 바와 같이, 포토레지스트(미도시)를 이용하여 상기 하드마스크용 폴리실리콘층(240)의 상부에 스토리지노드형성용 패턴을 형성한 후, 이를 이용하여 상기 하드마스크용 폴리실리콘층(240)을 일부 건식식각한다.
- <40> 그 다음, 상기 포토레지스트를 제거한 후, 상기 하드마스크용 폴리실리콘층(240)을 배리어로 이용한 건식식각공정에 의해 상기 스토리지노드콘택용 폴리실리콘층(160) 까지 스토리지노드형성용 콘택홀(250)을 형성한다.
- <41> 이때, 상기 스토리지노드형성용 콘택홀(250)을 형성함으로써 상기 스토리지노드콘택용 폴리실리콘층(160)의 상면이 노출된다.

- <42> 이어서, 도 2e에 도시된 바와 같이, 상기 결과물의 상부에 습식세정에 의한 디핑-아웃공정을 수행함으로써 상기 BPSG층(180)의 측면을 일부 식각하여 리세스된 BPSG층(180a)을 형성한다.
- <43> 그 다음, 도 2f에 도시된 바와 같이, 상기 스토리지노드형성용 콘택홀(250)을 덮도록 충분한 두께로 상기 결과물의 전체상부에 스토리지노드용 도핑 또는 비도핑폴리실리콘층(260)을 300~500 Å 두께로 형성한다.
- <44> 이어서, 상기 PSG층(220a)이 노출될때 까지 CMP공정 또는 에치백공정을 수행하여 스토리지노드용 폴리실리콘층(260)을 분리시킨다.
- <45> 그 다음, 도 2g에 도시된 바와 같이, 상기 PSG층(220)을 습식세정으로 디핑-아웃해내면, 상기 스토리지노드용 폴리실리콘층(260)은 넓은 바닥면("A"부분)을 구비하게 된다.
- <46> 이러한 넓은 바닥면적을 갖는 스토리지노드용 폴리실리콘층(260)은, 보다 안정적인 형상을 이루기 때문에 스토리지노드사이에 발생하는 기울임현상을 방지하게 될 뿐만 아니라 후속의 스토리지노드 산화막 형성시 그 표면적이 증가하여 캐패시턴스를 증가시키게 된다.
- <47> 이어서, 도 2h에 도시된 바와 같이, MPS(Metastable Phase Silicon)를 성장시키고 상기 스토리지노드용 폴리실리콘층(260)의 표면에 Ta₂O₅, NO등의 스토리지노드 산화막(280)을 형성한다.
- <48> 그 다음, 상기 스토리지노드 산화막(280)을 덮도록 충분한 두께로 도핑폴리실리콘, Ti 또는 TiN등의 전극용 폴리실리콘층(300)을 형성함으로써 캐패시터를 완성한다.

<49> 한편, 도 3에 도시된 본 발명의 다른 실시예로서, 상기 폴리실리콘층(160)을 포함한 결과물의 상부에 상기 BPSG층(180)의 형성전에 다른 절화정지막(320)을 300~1000Å 두께로 추가로 형성하여 상기 BPSG층(180) 측면의 식각시 식각정지막으로 이용할 수도 있다.

【발명의 효과】

<50> 상술한 바와 같이, 본 발명은 집적화된 디램의 스토리지노드의 기울임 현상을 방지함으로써 스토리지노드간 발생하는 브릿지에 의한 쇼트성 결함을 개선하여 수율향상을 기대할 수 있다는 효과가 있다.

<51> 한편, 본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

【특허청구범위】**【청구항 1】**

하부구조를 갖는 반도체기판상에 게이트를 형성한 후 상기 게이트사이 반도체기판상에 플러그를 형성하는 단계;

상기 플러그를 포함한 결과물의 상부에 층간절연막을 형성한 후 상기 층간절연막내 상기 플러그 상면에 스토리지노드콘택을 형성하는 단계;

상기 스토리지노드콘택을 포함한 결과물의 상부에 제 1 절연막을 형성한 후 상기 제 1 절연막의 상부에 식각정지막을 형성하는 단계;

상기 식각정지막의 상부에 제 2 절연막을 형성하는 단계;

상기 제 2 절연막, 상기 식각정지막 및 상기 제 1 절연막을 일부 제거하여 상기 스토리지노드콘택의 상면을 노출시키는 스토리지노드형성용 콘택홀을 형성하는 단계;

상기 콘택홀내의 제 1 절연막 측면을 일부 제거하여 상기 콘택홀내의 하부에 리세스부분을 형성하는 단계;

상기 리세스부분을 포함한 상기 콘택홀내에 스토리지노드를 형성하는 단계;

상기 제 2 절연막을 제거한 후 상기 스토리지노드의 전면에 스토리지노드 산화막을 형성하는 단계; 및

상기 스토리지노드 산화막의 전면에 전극층을 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

【청구항 2】

제 1 항에 있어서, 상기 제 1 절연막의 형성전 상기 스토리지노드콘택을 포함한 결과물의 상부에 식각정지막을 추가로 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

【청구항 3】

제 1 항 또는 제 2 항에 있어서, 상기 제 1 절연막은 상기 식각정지막 보다 빠른 식각속도를 갖는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

【청구항 4】

제 1 항 또는 제 2 항에 있어서, 상기 식각정지막은 상기 리세스부분의 식각시 이용하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

【청구항 5】

제 1 항에 있어서, 상기 제 2 절연막은 스토리지노드 높이 만큼 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

【청구항 6】

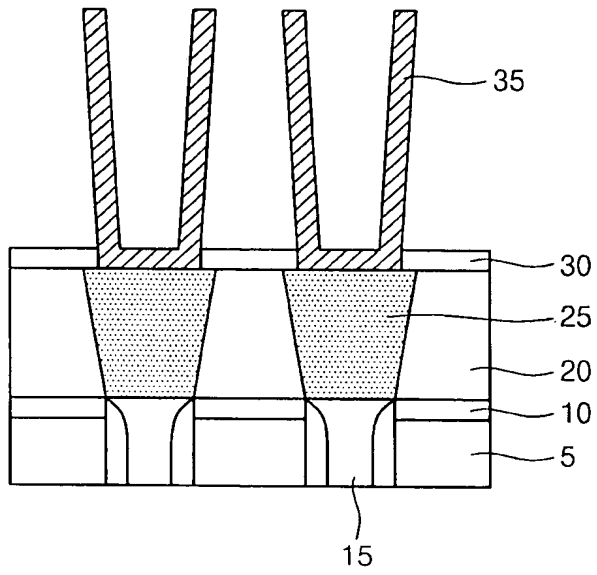
제 1 항에 있어서, 상기 리세스부분의 스토리지노드는 다른 부분의 스토리지노드 보다 넓은 폭을 갖는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

【청구항 7】

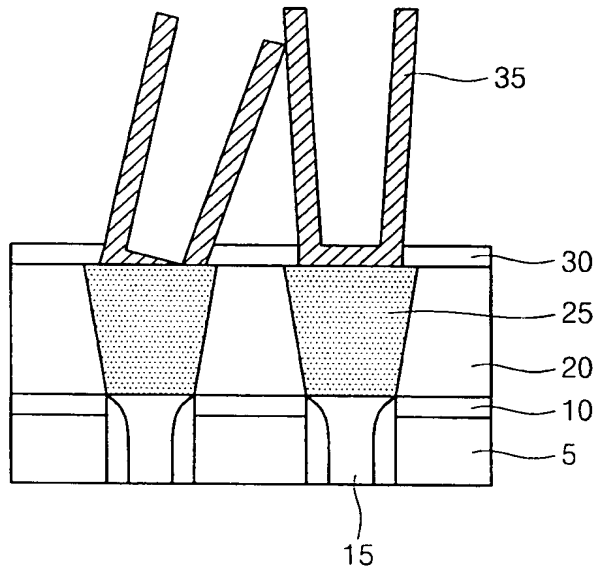
제 6 항에 있어서, 상기 리세스부분의 스토리지노드는 상기 스토리지노드의 기울임을 방지하는 것을 특징으로 하는 반도체소자의 캐패시터 형성방법.

【도면】

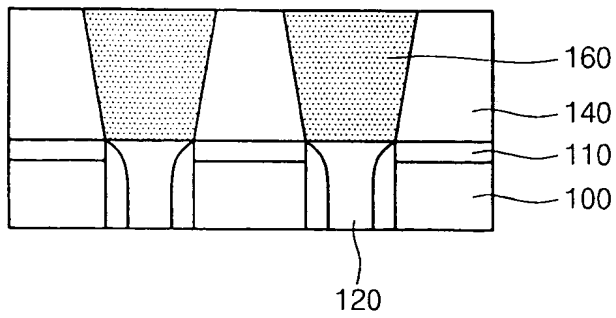
【도 1a】



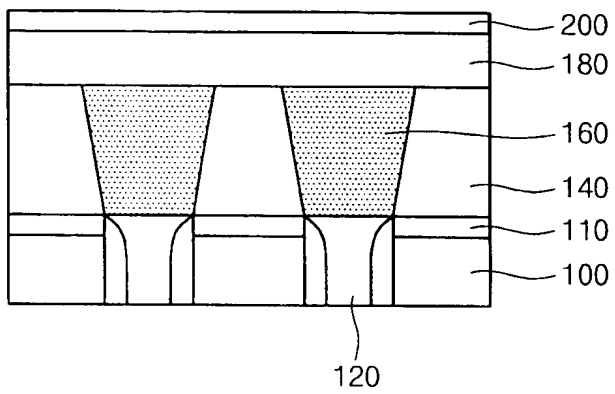
【도 1b】



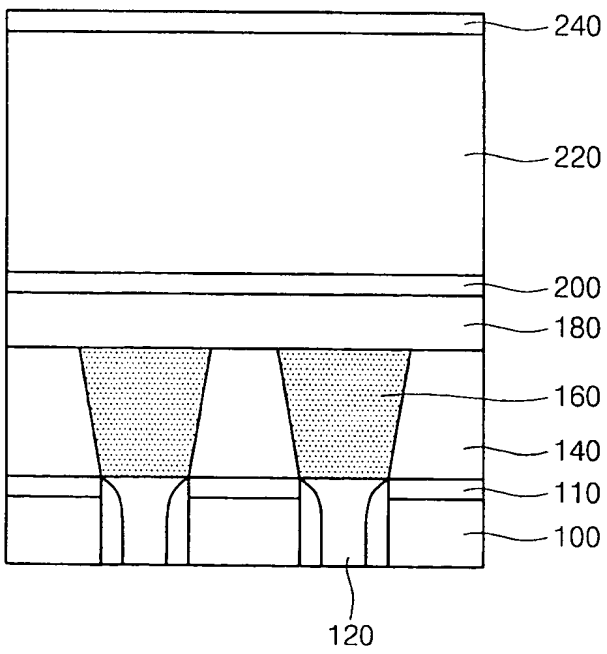
【도 2a】



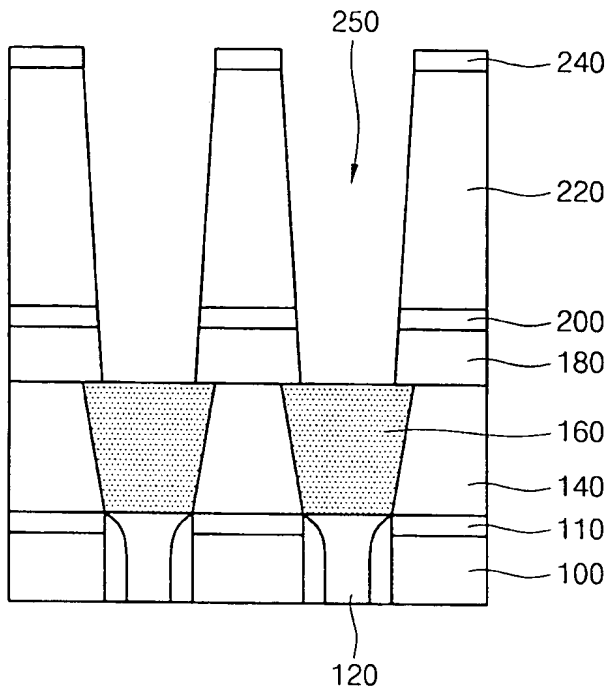
【도 2b】



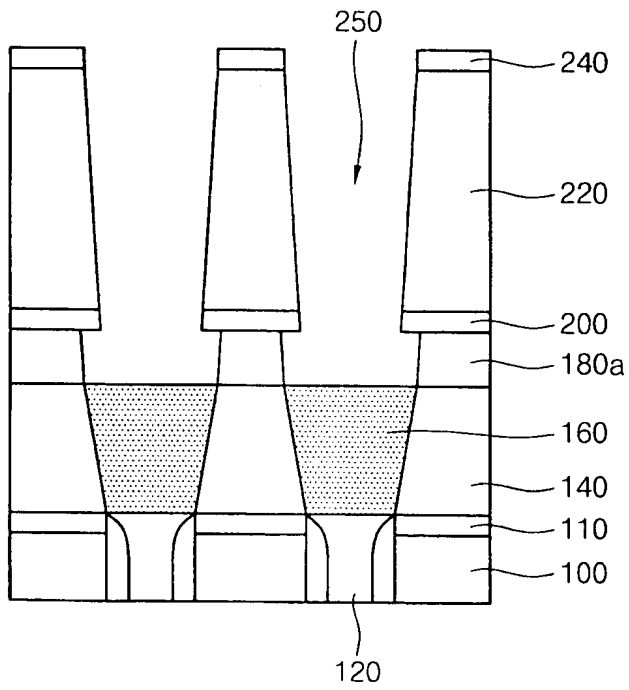
【도 2c】



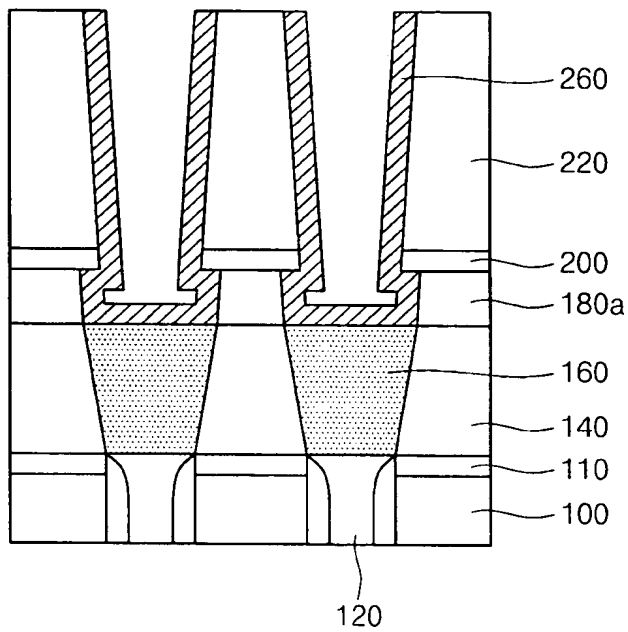
【도 2d】



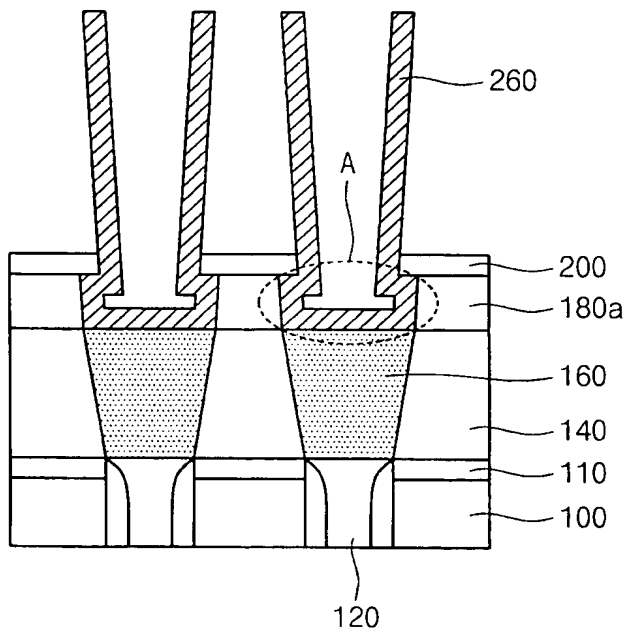
【도 2e】



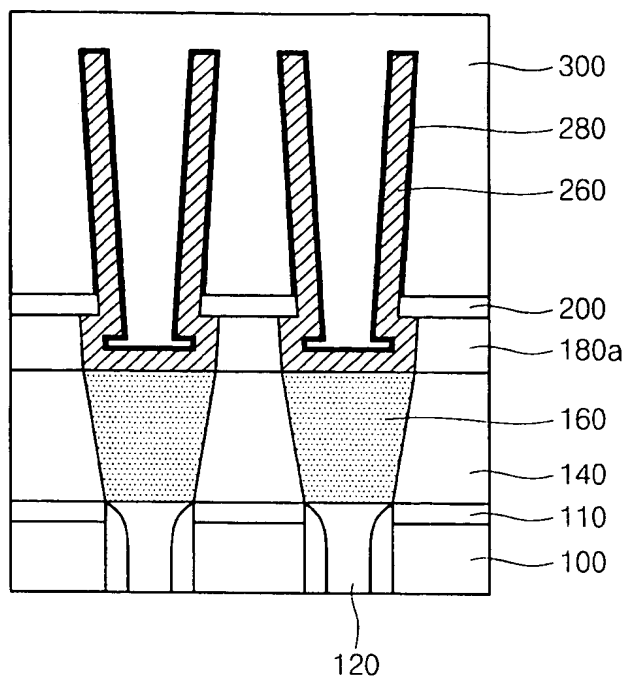
【도 2f】



【도 2g】



【도 2h】



【도 3】

